

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-109762

(43)公開日 平成5年(1993)4月30日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/336				
29/784				
21/76		L 9169-4M		
		8225-4M	H 0 1 L 29/ 78	3 0 1 L
		7342-4M	27/ 08	1 0 2 C
			審査請求 有	請求項の数12(全 10 頁) 最終頁に続く

(21)出願番号 特願平4-86634

(22)出願日 平成4年(1992)3月11日

(31)優先権主張番号 7 0 1 2 4 8

(32)優先日 1991年5月16日

(33)優先権主張国 米国 (U S)

(71)出願人 390009531

インターナショナル・ビジネス・マシーン

ズ・コーポレーション

INTERNATIONAL BUSIN

ESS MACHINES CORPO

RATION

アメリカ合衆国10504、ニューヨーク州

アーモンク (番地なし)

(72)発明者 フリッツ・ジュールゲン・ホーン

アメリカ合衆国10589、ニューヨーク州、

ソマーズ、ミツチエール・ロード、146番

地

(74)代理人 弁理士 頓官 孝一 (外2名)

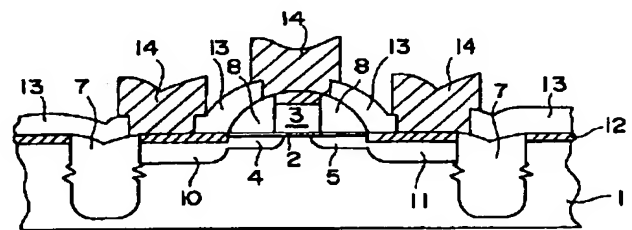
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 ゲート電極が自己整合され、トレンチ分離領域に対し突き合わされるよう構成して、0.1ミクロンに完全位取りできるようにすることにより高速、高性能且つ超小型化しうるFET装置の提供を図る。

【構成】 第1の導電形のチャネル領域を有する半導体基板1と、チャネル領域上のゲート誘電体層2と、その上のゲート電極3と、ゲート電極3の長さ方向の両端に対し自己整合された反対導電形のドープ領域4、5と、分離材料を含む分離トレンチ7と、ゲート電極3の側壁分離材料8と、接触窓のエッチングに使用する絶縁層12と、ゲート電極、ソース及びドレイン領域に対する金属類導電性相互連結部14とから成り、ゲート電極3がトレンチ7に対し重なり合うことなく突き合わされるよう構成したことを特徴とする。



1: 基板	10, 11: 第2のソース及びドレイン領域
2: ゲート誘電体層	12: 珪化物層
3: ゲート電極	13: 絶縁層
4, 5: ソース及びドレイン領域	14: 導電性相互連結部
7: トレンチ分離領域	
8: ゲート側壁絶縁層	

BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 第1の導電形の活性不純物を含むチャンネル領域を有する半導体基板からなる半導体装置であって、

前記チャンネル領域の上のゲート誘電体層と、前記ゲート誘電体層の上のゲート電極と、前記ゲート電極の長さ方向の両端部に対し自己整合された第2の及び反対導電形のドープ領域と、同一基板上の個々のFETを分離するべく分離材料を含む分離トレンチと、前記ゲート電極の側部に装着した分離材料とを含み、前記ゲート電極は幅方向において前記分離トレンチに対して突き合わされるよう自己整合され、前記ゲート電極及び前記ソース及びドレイン領域に対する接触窓を具備した垂直分離用絶縁層を基板全体の上に設け、前記ゲート電極及び前記ソース及びドレイン領域に対し金属類高導電性相互連結部を装備するようにしたことを特徴とする半導体装置。

【請求項2】 前記垂直分離用絶縁層の材料は前記トレンチ及び前記ゲート電極側部の分離材料とは異なるエッチング特性を表わすことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記ゲート電極に対する接触窓は該ゲート電極に対する前記接触窓の最大許容リソグラフ記録誤りに等しいか長い距離だけ前記ゲート電極側部の分離材料と重なり合うよう設計されることを特徴とする請求項1記載の半導体装置。

【請求項4】 前記垂直分離用絶縁層の材料は窒化シリコンであり、前記トレンチ内及び前記ゲート電極側部の材料は2酸化シリコンであることを特徴とする請求項1記載の半導体装置。

【請求項5】 前記金属類高導電性相互連結部と前記ゲート電極及び前記ソース及びドレイン領域との間に配置された珪化物領域を含む請求項1記載の半導体装置。

【請求項6】 約0.15ミクロン幅分離トレンチにより隣接装置から分離された約0.7×0.15ミクロンの寸法を持つ活性領域を有する請求項1記載の半導体装置。

【請求項7】 (イ) 半導体基板を供給し、

(ロ) 前記基板に誘電体ゲート層を供給し、

(ハ) チャンネル領域のため第1の導電形の活性不純物を前記基板に供給し、

(ニ) 前記誘電体ゲート層の上にゲート電極を供給して型取りし、

(ホ) 前記基板に第2及び反対導電形の活性不純物を供給して前記ゲート電極に対し自己整合されたソース及びドレイン領域を形成し、

(ヘ) 前記ゲート電極が幅方向において重なり合うことなく前記トレンチに対して突き合わされるよう自己記録なしの如く前記基板の予め選ばれた領域に分離トレンチをエッチングし、

(ト) 前記分離トレンチ内及び前記ゲート電極側壁に分

離材料を供給し、

(チ) 前記基板及び前記ゲート電極の上に絶縁材料を供給し、

(リ) 前記ゲート電極及び前記ソース及びドレイン領域に対して接触窓を型取りし、

(ヌ) 前記ゲート電極及び前記ソース及びドレイン領域に対し電気接触を形成する金属類高導電性相互連結パターンを供給して型取りする各工程を含むことを特徴とする半導体装置の製造方法。

10 【請求項8】 前記ゲート誘電体層は薄い2酸化シリコン層から成ることを特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】 前記ゲート電極はドープされたポリシリコンから成ることを特徴とする請求項7記載の半導体装置の製造方法。

【請求項10】 前記分離トレンチに分離材料を供給し、前記分離トレンチ側壁は不動態化されることを特徴とする請求項7記載の半導体装置の製造方法。

20 【請求項11】 前記トレンチ内及び前記ゲート電極側壁の分離材料は絶縁材料層を正角デポジションにより供給した後該絶縁材料層をエッチング・バックして形成することを特徴とする請求項7記載の半導体の製造方法。

【請求項12】 前記分離トレンチ内及び前記ゲート電極側壁に対する分離材料の供給後、第2のソース及びドレイン領域を形成する工程を含むことを特徴とする請求項7記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

30 【産業上の利用分野】 この発明は半導体電界効果トランジスタ装置及びその製造方法に関し、特にゲートが自己整合され、トレンチ分離領域に対して突き合わされるようにした電界効果トランジスタ装置に関する。本発明の製造方法によると、トレンチはゲート電極をパターン化した後で形成され、ゲートの側壁に分離材料を与えると同時にトレンチにも分離材料が供給される。本発明は特に超小型且つ高性能FET装置の完成に有益である。

【0002】

40 【従来の技術】 電界効果トランジスタ(FET)は大規模集積回路における重要な電気スイッチング装置である。かかる回路は1個の半導体チップに100万個又はそれ以上の如く多くのFETを含めることができる。かかるチップは、今日では、典型的に、各側辺において約1インチの半分程の長さを有するであろう。FETの物理的大きさ(すなわち、側部の寸法)は、装置が与えられたチップ領域にいかに接近して集積されるかの決定に対する重要な要因である。その上、回路の動作速度は、個々のFET素子の大きさ、特にゲート電極の長さがその決定要素の1つである。そのため、より小さくより速いFET構造を製造しうる新たな方法を提供するべく継続して研究が行われている。例えば、完全位取りに近い

3

0.1ミクロンNMOS装置の構造がSAI-HALASZほかによる“0.1- μ mゲート長低温動作FET”(IEEE Electron Device Letters, Volume EDL-8, 1987年10月, 463頁)において提案され、例示された。

【0003】

【発明が解決しようとする課題】しかし、これらの装置はゲートのレベルにおいてのみ0.1ミクロン・リソグラフィが使用され、分離領域、接触部、及び内部配線のようなその他の装置のレベルにおいては0.25ミクロン・リソグラフィを使用するというように完全位取りされていない。従って、完全位取り0.25ミクロンFET技術として要求されたもの以上の有意な改良はその集積密度によって達成されていない。故に、すべてのレベルにおいて、0.1ミクロン・リソグラフィ技術を使用して、上記タイプの装置を製造しうることが強く望まれている。

【0004】すべてのリソグラフィ露光システムは、電気機械システムにおいて当然発生する固有の物理的限界のため、限界的な記録誤りを発生するということを心にとめておくべきである。これが高温処理から生ずる基板の歪と組合わされて、装置の各処理レベルが前のレベルに対して限界的な記録誤りを引き起こすものになる。かかる記録誤りは装置の設計段階において解決されなければならない。0.1ミクロン・リソグラフィのための記録誤りの期待しうる最大許容値は±0.025ミクロンである。

【0005】従って、本発明の目的は、ゲート電極が自己整合され、トレンチ分離領域に対し突き合わされるよう構成して、0.1ミクロンに完全位取りされ、高速、高性能且つ超小型化されたFET装置及びその製造技術を提供することである。

【0006】

【課題を解決するための手段】本発明は、上記の課題を解決するため、ソース及びドレイン領域と完全に重なり合う接触部を供給すると同時にゲートと完全に重なり合う接触部を供給して達成される。これらの方式は0.1ミクロンFET技術に特別な有益性をもたらすが、より大きい又はたぶんより小さい寸法の装置に対してもある利益を与えることが可能である。

【0007】特に、本発明は、第1の導電形の活性不純物を含むチャネル領域を有する半導体基板から成る半導体装置に関するものである。チャネル領域の上には誘電体層が配置され、誘電体層の上にはパターン化したゲート電極が設けられる。第2及び反対導電形のドーパされたソース及びドレイン領域は長さ方向においてゲート電極の両端部に対し自己整合される。分離トレンチ内の分離材料はゲート電極の側壁には対する分離材料と同様に与えられる。

【0008】ゲート電極は、幅方向において、分離トレ

4

ンチと重なり合うことなく、分離トレンチに対し突き合わされるよう自己整合される。ゲート電極及びソース及びドレイン領域に対して接触窓が設けられる場所を除き、基板全体の上に絶縁層が与えられる。接触窓を通し、ゲート電極及びソース及びドレイン領域に対して接触を与えるための金属類高導電性電気相互連結路が供給される。

【0009】本発明の方法としての一面は、(イ)半導体基板を供給し、(ロ)前記基板にゲート誘電体層を供給し、(ハ)前記基板にチャネル領域形成のため第1導電形の活性不純物を供給し、(ニ)前記ゲート誘電体層の上にゲート電極を供給してその輪郭を形成し、(ホ)第2の及び反対導電形の活性不純物を前記基板に供給して前記ゲート電極に対し自己整列されるソース及びドレイン領域を形成し、

【0010】(ヘ)トレンチと重なり合う場所のゲート電極をすべて除去する如き方法により、前記基板の予め選ばれた領域に分離トレンチをエッチングし、(ト)前記分離トレンチ内及び前記ゲート電極の側部に分離材料を供給し、(チ)前記基板及び前記ゲート電極上に絶縁材料を供給し、(リ)前記ゲート電極に対し、及び前記ソース及びドレイン領域に対する接触窓の輪郭を形成し、(ヌ)前記ゲート電極に対し、及び前記ソース及びドレイン領域に対する電気接続を行う金属類高導電性電気相互連結パターンの輪郭を形成するべく供給する各工程から成る半導体装置の製造方法を提供するものである。

【0011】本発明の利点は、装置の幅が0.1ミクロンの大きさに近付くと発生するような従来の分離技術における固有の問題を解決することである。シリコンの選択酸化方式(LOCOS)は装置周囲の周辺に周知の“バーズ・ピーク”断面を発生させる原因となる(図1)。それは装置の幅を減じると、更に、電荷共有効果のため、好ましくない周知の閾値電圧の変動を生じさせる結果となる。

【0012】従来のトレンチ分離技術は装置と分離材料との間にそれらを分離する中間面を与えることによってこの問題を解決しようとしているが、ゲートとトレンチの重なり合いと共同して増加する電界強度のため、閾値電圧が有効に下げられた場合、該装置の分離中間面の隅において寄生FETの動作を受け易い(図2)。本発明は“バーズ・ピーク”の形成を排除するようにしたトレンチ分離に類似する手法を使用するが、ゲートとトレンチとを重なり合わせることなく寄生FET動作を避けるようにしたことが従来技術と異なる(図3)。

【0013】重なり合いを必要とせず、ゲート電極をトレンチ分離領域に対して突き合わせるようにした本発明の特徴により、ゲートの接触は直接活性ゲート電極に対して行われる。活性ゲート電極に対し直接金属類接触を行う概念は公知であるが、かかる接触の構造及び適切な

5

製造モードは本発明において独特である。かかる直接ゲート接触は、更に、装置の幅方向において、ゲートに沿って流れる電流と共同するゲート電流のRC時定数を除去するよう作用し、ゲート接触パッドに対して必要な領域を除去しようようにしたことにより集積密度を高くすることができ、それによって超小型FETの有益性を発揮することができる。

【0014】更に、従来のトレンチ分離装置に対する本発明の利点は、通常、トレンチ分離材料の装着後に行われる基板の平坦化に伴う周知の困難性を除去することができることである。かかる平坦化は、通常、相互連結金属に対してゲート接触パッドを接続するため、そのトレンチ分離材料を横切る必要があるため、ゲート電極の輪郭形成及び装着前に要求される。

【0015】

【実施例】次に、本発明の実施例を添付図面図3乃至図11に基づき詳細に説明する。図3は本発明により分離トレンチに対し突き合わせるようにしたゲート電極を示す模式図、図4-図8は本発明による基本的製造方法を例証するため各製造段階における基板を示すその断面図、図9は本発明による装置の平面図、図10はゲート接触窓の最良の場合の記録を示す模式図、図11はゲート接触窓の最悪の場合の記録を示すゲート接触窓の模式図である。

【0016】以下、本発明の最良且つ各種モードの実施例について説明する。便宜上、製造工程の説明は、半導体基板としてP形シリコン基板を使用し、NチャネルFET技術に導くためソース及びドレイン領域にN形不純物を使用する場合に向けられる。従って、本発明は、PチャネルFET技術を使用するべく、N形基板とソース及びドレイン領域のためのP形不純物とを使用することもできることは明白である。

【0017】更に、本発明は相補FET技術を達成するため、本発明によるNチャネル装置及びPチャネル装置を組合わせ、更に、先行技術で説明したようなウエル設定技術を使用するNウエル基板、Pウエル基板又は対ウエル基板を組合わせることが可能である。0.25基本基準に基づき適用された相補FET技術の例としては、Davariほかによる“高性能0.25 μ m CMOS技術”(IEDM Technical Digest, 1988年12月, 56頁)がある。説明がN形不純物に対して行われる場合、その処理工程はP形不純物にも適用可能であり、その逆も可能である。

【0018】又、本発明はシリコン以外の基板にも適用可能であり、多結晶シリコン以外のゲート構造にも適用可能である。更に、用語“ポリシリコン”と“多結晶シリコン”とは先行技術にあるように交互に交換使用可能である。その上、ここで使用される用語“金属類相互連結部”又は“高導電性相互連結部”は一般に金属が所有する大きさの導電性を有しうるにも拘らず、高度にドー

6

プしたポリシリコン又は金属間珪化物のような非金属材料をも示すと共に、アルミニウム又はタングステンのような金属の線又は通路を示す。

【0019】又、“第1の形”の不純物及び“第2の形”の不純物と指定した場合、“第1の形”がN又はP形不純物を指すと、“第2の形”はその反対導電形であると理解するべきである。すなわち、“第1の形”がPのときは、“第2の形”はNであり、“第1の形”がNのときは“第2の形”はPである。ここで使用する用語“ゲート”と“ゲート電極”とは交換可能である。

【0020】更に、装置の“長さ方向”という場合、それはソース領域からドレイン領域へ方向、又はその逆方向を指すものとする。同様にして、“幅方向”とは最初の基板界面の表面において、“長さ方向”に対し直角の方向を指すものと理解するべきである。

【0021】図4はいかなる希望する結晶方向のものでよいが、ごく一般的な(<100>)結晶方向を有する典型的なシリコン基板でよい半導体基板1の部分断面図を示す。ゲート誘電体層2は基板1の上に設けられ、典型的に約2.5乃至約5ナノメートルの極めて薄い2酸化シリコン層である。それは、例えば、ドライ酸素の存在下約800℃において行われるシリコン基板の熱酸化によって形成することができる。

【0022】希望するチャネル不純物の輪郭は、適切な閾値電圧を設定し及びパンチスルーを抑制するべくイオン注入により、極めて薄い2酸化層の形成の前又は後のいずれかにおいて形成される。装置のチャネル領域に対しP形ドーパントを用いる場合、ボロン、アルミニウム、ガリウム又はインジウム等を使用することができる。典型的に、約15乃至約30KeVのエネルギーによる約 1×10^{12} 乃至約 5×10^{12} 原子/cm²のボロン注入が0.1ミクロンのゲート電極を有する装置の形成に要求される。

【0023】次に、ゲート電極3が装着され、パターン化される。例えば、多結晶シリコン層が装着される。ポリシリコン層は低圧気相成長法(化学的蒸着)によって典型的に約100-150ナノメートル厚に装着することができる。ポリシリコンは典型的にイオン注入により砒素又は燐のようなN形ドーパントがドーブされ、リソグラフ及びエッチング技術を使用してパターン化される。本発明の処理方法により、ポリシリコンは0.1ミクロン又はそれ以下のように小さい寸法を有する極めて小さなゲート構造にパターン化することができる。

【0024】ゲート材料を型取りするため、公知のリソグラフ・マスキング及びエッチング技術を使用する方式に用いるホトレジスト材料層のようなゲート・パターン決定層をポリシリコン・ゲート材料層の上に配置する。しかし、如何なる公知の耐感光材料を使用してもよい。ホトレジスト及び適当なリソグラフ処理方式は公知であり、先行技術に記述されている。かかる処理としては、

7

ガウスの又は成形された電子ビーム・リソグラフ、X線印刷、及び位相シフト光学印刷等に基づくものがあるが、その他0.1ミクロン像を解像可能な技術であれば如何なる他の技術を使用してもよい。

【0025】ゲート電極のポリシリコン層に対する型取りはリアクティブ・イオン・エッチング又はエレクトロン・サイクロトロン共振エッチングのような公知のドライ・エッチング技術を用いて行うことができる。かかる技術は、下層のゲート誘電体層をエッチングすることなく、ポリシリコンを選択的且つ異方性にエッチングする10という条件を使用する。又、広く多様な処理ガス及びエッチング条件を適当に使用してもよいが、典型的には塩素、臭素又はフッ素含有ガス等による処理が用いられる。この処理により図4に示すようなポリシリコン・ゲート3の輪郭が形成される。ゲートを規定した後、型取りされたゲート上のホトレジスト材料は典型的に酸素プラズマ灰化によって除去される。

【0026】次に、基板に、又は相補FET技術の場合にはウエル領域に対し、熱拡散又はイオン注入を用いて、ゲート構造3に対する自己整合によりソース及びドレイン領域が形成される。N形不純物の場合には、シリコン、砒素、燐又はアンチモン等を使用することができる。又、P形不純物に対しては、シリコン、ボロン、アルミニウム、ガリウム、又はインジウム等を使用することができる。ソース及びドレイン領域は約50乃至約75ナノメートルの深さに対するような極めて浅いジャンクションの輪郭を形成するため、イオン注入によるのが好ましい。例えば、極めて浅いN形領域は約5乃至約25KeVの典型的な範囲のエネルギーにより約 1×10^{14} 乃至約 5×10^{14} 原子/cm²のアンチモン注入によって30形成される。ソース4及びドレイン5は図5に示す。

【0027】次に、装置間に電気絶縁分離を与えるために分離トレンチが形成される。これは装置の活性領域をリソグラフ的にマスキングした後、基板に対しトレンチ6をエッチングすることによって形成される(図6)。トレンチ像はゲート・レベルに対して与えられた記録誤りの許容誤差の範囲内に整合されたホトレジスト層によって規定される。レジスト像はトレンチ・エッチング処理中エッチング・マスクとして直接使用することができるが、例えば窒化シリコンの中間パターン・トランスファ・マスクを使用すれば次のような利益が与えられる。すなわち、そのようなマスクは、マスクの腐食及びファセッティング誤りを減少し、更に後述する選択トレンチ側壁酸化のための酸化マスクとして使用することができるため、ホトレジストと対比して優れたエッチング・マスク特性を有する。

【0028】そのようなマスクはホトレジストを供給する前に行われる低圧化学的蒸着によって形成することができる。ホトレジストの型取り後、公知のメチル3フッ化物処理におけるリアクティブ・イオン・エッチングに50

8

よって、トランスファ・マスクが形成される。次に、分離トレンチ6は、マスクとして窒化物パターン・トランスファ層を使用してエッチングされる。これは、最初トレンチ領域と重なり合うゲート電極を切り取る処理を含む多段リアクティブ・イオン・エッチング処理を使用して達成される。

【0029】これは、ゲート電極が分離トレンチと重なり合うことなく、分離トレンチに対して突き合わされるよう、ゲート電極に対し幅方向の自己整合を与えるという本装置処理の本質的特徴である。ポリシリコン、ゲート誘電体、及び基板シリコンをエッチングするため、トレンチのリアクティブ・イオン・エッチング処理が要求され、臭素又は塩素基準の処理を使用することができ10る。その処理がゲート誘電体に対し高いエッチングの選択性を示した場合、ゲート・ポリシリコンのゲート電極をエッチングした後トレンチ・エッチング処理を中断し、短いメチル3フッ化物エッチングを使用してその下のゲート誘電体をエッチングし、その後トレンチ・エッチングを続行して完了させようようにすることが必要である。

【0030】その結果生じたトレンチはシリコン基板1にはほぼ垂直な面を有する。トレンチは可変幅のトレンチを使用することもできるが、固定幅のものでもよい。固定幅のトレンチの場合、トレンチ幅は約0.1乃至約0.15ミクロン、深さは約0.25乃至約0.5ミクロンの範囲でよい。

【0031】次に、少くともトレンチの垂直側壁に2酸化シリコンのようなパッシベーション(不動態)層を成長させる。特に、中間トレンチ・エッチング・マスクとして窒化物が使用された場合、それはこの酸化工程中、装置の水平表面に対する保護を与えることになる。

【0032】かかる酸化パッシベーションの厚さは好ましくは約700乃至約750℃におけるドライ酸化によって約10ナノメートル厚に形成することができる。ソース及びドレイン不純物の有意な再分配を避けるために、比較的低い酸化温度が選ばれる。もし、窒化シリコンが存在するような場合、燐酸ウェット・エッチング工程を使用してそれを引き剥がす。

【0033】そのトレンチはテトラ・エトキシル・シラン環境下において、低圧化学的蒸着のような公知の正角デポジション(装着)技術を使用することにより絶縁分離材料が満たされる。次に、基板全体及びゲート構造の上に酸化物が形成される。更に、絶縁層は異方性酸化物リアクティブ・イオン・エッチング処理を使用してエッチング・バックされ、絶縁材料で満たされたトレンチとゲートの側壁における絶縁層8を残す。側壁の厚さは約0.1ミクロンであるのが適当と思われる。ゲートの側壁におけるこの絶縁材料は、ゲート電極に対する金属類相互連結部を与えるために、後の工程で接触窓を形成するとき、起こりうるマスクの整合誤りを補償するよう

行動する。

【0034】本発明の好ましい一面によると、熱拡散又は好ましくはイオン注入により、第2のソース10及びドレイン11を深さ約100ナノメートルまで設けることができる。このようなものは必須ではないが、接触部とチャネルとの間の抵抗を下げることににより装置の性能を高めるよう装置の構造を改良するために望ましい。その処理は典型的に約25 KeVのエネルギーにおける約 5×10^{15} 原子/cm²のドーズにより砒素イオンの注入によって行うことができる。

【0035】又、本発明の必ずしも必要ではないが好ましい一面によると、珪化物質12を与えるため、ゲート、ソース及びドレイン領域の自己整合珪化を達成することができる。それは本発明にとって本質的ではないが、後に供給されるべきゲート電極及びソース及びドレイン領域に対する金属類相互連結部間の接触抵抗を減少させるために使用するべきである。珪化は金属装着、高温化の反応、及び非反応金属の選択ウェット・エッチング等を基本とする公知の技術によって実行することができる。この処理は、珪化物をトレンチ分離領域及びゲート側壁の上に形成しないように自己整合する。それに使用できる金属としては、チタニウム、タングステン、タングリウム、白金、又はコバルト等があるが、最も典型的なものとしてはチタニウムが使用される。珪化物厚は、典型的に、反応後において約10乃至15ナノメートルが使用される。

【0036】珪化チタン（チタニウム）の場合、最初チタニウム層をスパッタリング装着によって形成し、それを急速に熱アニールしてポリシリコン・ゲート電極の上及びシリコン・ソース及びドレイン領域に珪化物を形成する。これは典型的に窒素環境下の600℃におけるアニールで30秒かかるかもしれない。次に、過酸化水素及び硫酸溶液のようなエッチング剤を使用した選択ウェット・エッチングにより希望する珪化チタンのみを残して無反応チタンを除去する。最後に、珪化物領域のシート抵抗を減少させるよう作用する第2の急速な熱アニール工程を実行して珪化処理を終了する。この第2のアニールのための典型的な条件は窒素の存在下で再び800℃における60秒の処理である。

【0037】次に、絶縁層13を装着して後に装着する金属類相互連結部からの分離を行う。この層に使用される金属は絶縁材料7、8とは異なるリアクティブ・イオン・エッチング特性を有するものが好ましい。例えば、絶縁材料7、8が2酸化シリコンの場合、絶縁材料13は窒化シリコンであることができる。窒化シリコンは数々の周知の処理の1つを使用して化学的蒸着により与えることができる。その層は典型的に約0.1乃至0.2ミクロン厚である。

【0038】ゲート電極及びソース及びドレイン領域に対する接触窓の輪郭が形成され、再びリソグラフ技術

使用してリアクティブ・イオン・エッチング・マスクとして使用されるホトレジスト像を画成する。この接触窓はゲート側壁（ゲート接触の場合）及びトレンチ分離領域（ソース及びドレイン接触の場合）に対し限界的重なり合いを持つよう規定し設計される。この限界的重なり合いは最大限許容されるべきレベル対レベル記録誤りに等しく設計され、それは0.1ミクロン・リソグラフに対して±0.025ミクロンが適当かもしれない。これはゲート、ソース及びドレイン接触窓が後に装着されるべき金属類相互連結部によって接触されるべき領域の最大可能面積と重なり合うことを保証する。これは潜在的に有意な装置に寄生する特定の接触抵抗があるため、本発明による超小型装置に対しては特に重要である。

【0039】層13は、好ましくは、ゲート接触に対してはゲート側壁をエッチングするような危険がなく、ソース及びドレイン接触に対しては分離トレンチをエッチングするような危険なしに、ゲート、ソース及びドレイン領域に対する必要な接触窓が材料7、8と重なり合うよう規定することができるように、該材料7、8に対し選択性が与えられるような条件下でエッチングされる。上述のように、この重なり合いはこの接触リソグラフ・レベルと前のレベルとの間の記録誤りを補償するよう与えられ、最大記録誤りに等しく選ばれる。かかる手法により接触されるべき夫々の領域が十分ゲート、ソース及びドレイン接触部と重なり合うよう導く。かかる手法はソース及びドレイン領域のためにのみ知られているのに対し、本発明はそれをゲート側壁8に使用し、その技術

をゲート接触部を含めるよう拡張するものである。【0040】あるいは又、分離領域7、8と同じ材料を層13に使用することを希望する場合、エッチング・ストップとして公知の酸化アルミニウムのような異なる材料の薄い層を層13の下に供給することができる。酸化アルミニウムは、エッチングがその薄い層に達したときに停止するだろうから、トレンチ分離領域及びゲート側壁を保護することになる。そこで酸化アルミニウムは公知のウェット・エッチング技術により、材料7、8に影響を与えることなく除去されるであろう。

【0041】次に、ゲート構造、及びソース及びドレイン領域に対する金属類高導電性相互連結部が形成される。そのような相互連結のために一般的に使用される高導電性材料の例としては、電気移動効果を減少し、接触されるべき半導体とアルミニウムとの間の化学反応を減少するため、相当少量の不純物を含みうるアルミニウムが用いられる。あるいは又、より適当なものとして、タングステンのような高融点金属、又は半導体材料に最も近い高融点金属を有する多種類の材料を相互連結材料として使用することができる。

【0042】かかる高融点材料は、ゲート電極に対して直接接触を行うようにした本発明にとって特に重要である優秀な接触の信頼性を与えることができる。かかる相

11

互連結材料はスパッタリング、化学的蒸着、又は蒸着（エバポレーション）によって装着することができる。装着された相互連結パターンはマスクされていない相互連結材料をエッチングするよう設計されたリアクティブ・イオン・エッチング工程のためのマスクとして型取りされたホトレジスト像を使用して輪郭が形成される（図8）。

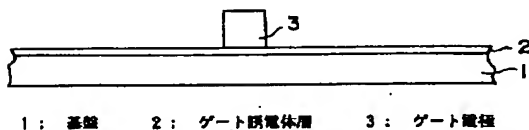
【0043】公知技術の如く、その他の相互連結層、絶縁層（図に示していない）、及びその他の装置（図に示していない）をその構造上に設けることができる。図9は本発明により達成することができる超小型化を例証する電界効果トランジスタの平面図を示す。図4乃至図8に記載の参照番号と同一番号は共に同一の機能を表わすものとする。例えば、完全に位取りされた0.1ミクロン装置に対して上記要求を仮定すると、該装置は隣接する装置から0.15ミクロン幅の分離トレンチだけ分離された0.7×0.15ミクロンの寸法を有する活性領域15を持つことを示す。これらの寸法において、該装置は連続して行われる次のリソグラフ・レベルに対して±0.025ミクロンに等しいか小さい記録誤りを要求するであろう。

【0044】図10及び図11は記録誤りに適応させることができる完全に重なり合わされたゲート接触部を完成するよう本発明で使用する手法を明確にするゲート接触領域を示す断面図である。図10はゲート接触部とゲート電極との間の完全な記録を示す。図11はゲート電極に対する完全な重なり合いは維持するものの、許容されうる最大記録誤りを示す図である。

【0045】

【発明の効果】以上説明したように、本発明は上記のように構成し、特にゲート電極が自己整合され、トレンチ分離領域に対して突き合わされるようにし、ゲート電極、及びソース及びドレイン領域と完全に重り合う接触部を提供するよう構成したことにより、0.1ミクロンに完全に位取りされたFET装置を製造することができ、それによって従来技術にない高速、高性能且つ超小*

【図4】



1: 基板 2: ゲート誘電体層 3: ゲート電極

12

*型化しうるFET装置及びその製造技術を提供することができた。

【図面の簡単な説明】

【図1】“バーツ・ビーク”を示す先行技術LOCOS分離の説明図

【図2】寄生チャネルを示す先行技術トレンチ分離の説明図

【図3】本発明により分離トレンチに対して突き合わされるようにしたゲート電極を示す模式図

10 【図4】本発明による基本的製造方法を例証するため各製造段階における基板を示すその断面図

【図5】本発明による基本的製造方法を例証するため各製造段階における基板を示すその断面図

【図6】本発明による基本的製造方法を例証するため各製造段階における基板を示すその断面図

【図7】本発明による基本的製造方法を例証するため各製造段階における基板を示すその断面図

【図8】本発明による基本的製造方法を例証するため各製造段階における基板を示すその断面図

20 【図9】本発明による装置の平面図

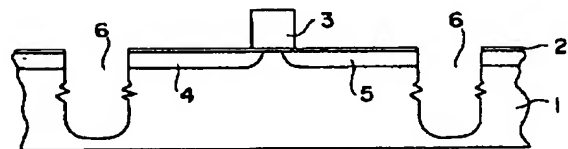
【図10】ゲート接触窓の最良の場合の記録を示すその模式図

【図11】ゲート接触窓の最悪の場合の記録を示すその模式図

【符号の説明】

- 1: 基板
- 2: ゲート誘電体層
- 3: ゲート電極
- 4, 5: ソース及びドレイン領域
- 6: トレンチ
- 7: トレンチ分離領域
- 8: ゲート側壁絶縁層
- 10, 11: 第2のソース及びドレイン領域
- 12, 13: 絶縁層
- 14: 導電性相互連結部
- 15: 活性領域

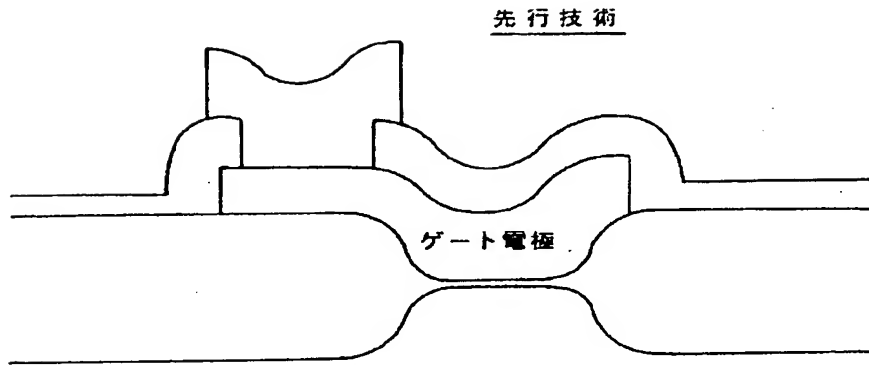
【図5】



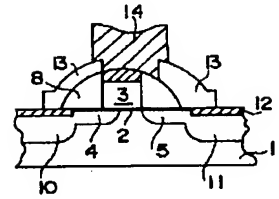
4, 5: ソース及びドレイン領域 6: トレンチ

BEST AVAILABLE COPY

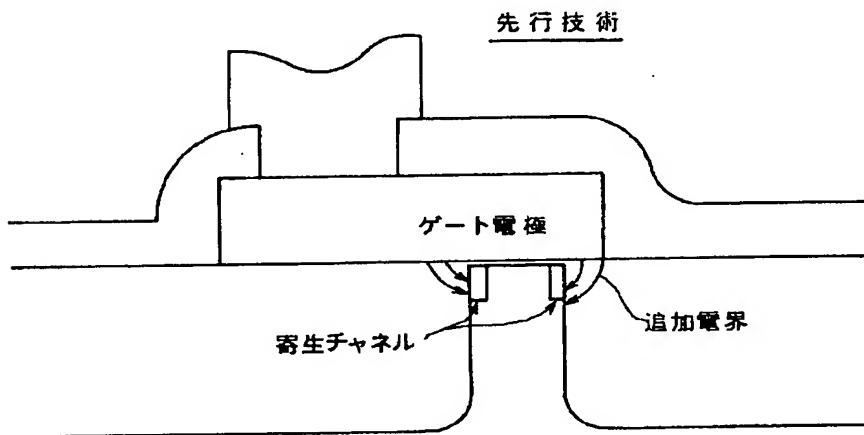
【図 1】



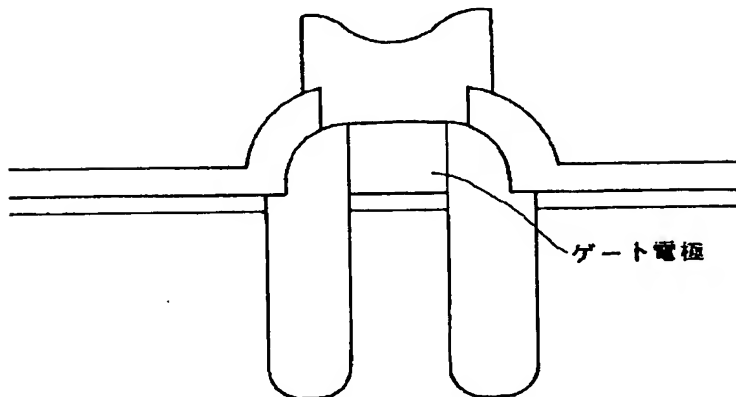
【図 11】



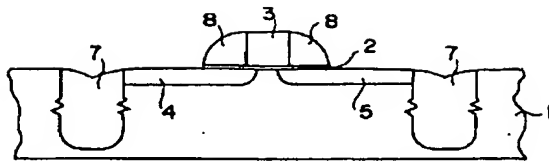
【図 2】



【図 3】

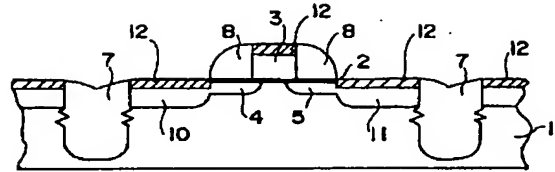


【図6】



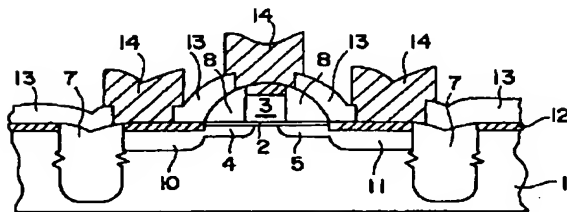
- 1: 基盤
2: ゲート誘電体層
3: ゲート電極
4, 5: ソース及びドレイン領域
7: トレンチ分離領域
8: ゲート側壁絶縁層

【図7】



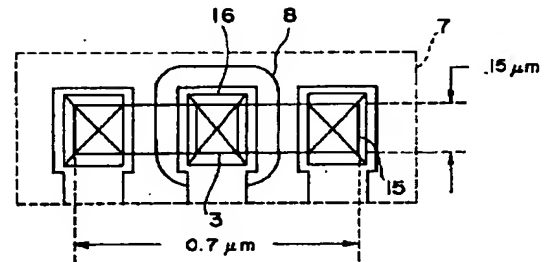
- 10, 11: 第2のソース及びドレイン領域
12: 珪化物層

【図8】

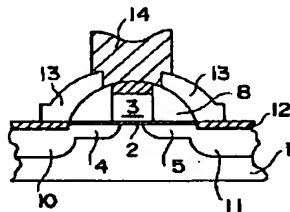


- 1: 基盤
2: ゲート誘電体層
3: ゲート電極
4, 5: ソース及びドレイン領域
7: トレンチ分離領域
8: ゲート側壁絶縁層
10, 11: 第2のソース及びドレイン領域
12: 珪化物層
13: 絶縁層
14: 導電性相互接続部

【図9】



【図10】



- 1: 基盤
2: ゲート誘電体層
3: ゲート電極
4, 5: ソース及びドレイン領域
8: ゲート側壁絶縁層
10, 11: 第2のソース及びドレイン領域
12: 珪化物層
13: 絶縁層
14: 導電性相互接続部

フロントページの続き

(51)Int.Cl.⁵
H 0 1 L 27/088

識別記号

庁内整理番号

F I

技術表示箇所

8225-4M

H 0 1 L 29/78

3 0 1 P

BEST AVAILABLE COPY

(72)発明者 クライブ・マルコム・リーブス
アメリカ合衆国10566、ニューヨーク州、
ピークスキル、コンスタント・アベニュー、854番地